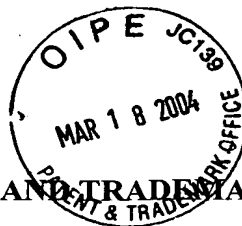


Docket No. 244286US2/hyc



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hideaki NINOMIYA, et al.

GAU:

SERIAL NO: 10/689,608

EXAMINER:

FILED: October 22, 2003

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-322014	September 12, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 2 日
Date of Application:

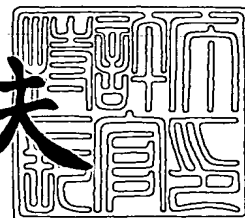
出 願 番 号 特 願 2 0 0 3 - 3 2 2 0 1 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 2 2 0 1 4]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 14415501
【提出日】 平成15年 9月12日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 二 宮 英 彰
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 井 上 智 樹
【特許出願人】
 【識別番号】 000003078
 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号
 【氏名又は名称】 株式会社 東 芝
【代理人】
 【識別番号】 100075812
 【弁理士】
 【氏名又は名称】 吉 武 賢 次
【選任した代理人】
 【識別番号】 100088889
 【弁理士】
 【氏名又は名称】 橘 谷 英 俊
【選任した代理人】
 【識別番号】 100082991
 【弁理士】
 【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
 【識別番号】 100096921
 【弁理士】
 【氏名又は名称】 吉 元 弘
【選任した代理人】
 【識別番号】 100103263
 【弁理士】
 【氏名又は名称】 川 崎 康
【選任した代理人】
 【識別番号】 100107582
 【弁理士】
 【氏名又は名称】 関 根 毅
【手数料の表示】
 【予納台帳番号】 087654
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 導電型の第 1 ベース層と、
前記第 1 ベース層の主表面に選択的に形成された、第 2 導電型の第 2 ベース層と、
前記第 2 ベース層から所定の距離を置いて、前記第 2 ベース層のまわりを囲み、前記第 1 ベース層の主表面に形成された、第 1 導電型のストッパ層と、
前記第 2 ベース層と前記ストッパ層との間で、前記第 1 ベース層の主表面に形成された第 2 導電型のリング層であって、前記第 2 ベース層のまわりに渦巻き状に配置され、且つ、前記第 2 ベース層と前記ストッパ層とに電氣的に接続された、リング層と、
を備えることを特徴とする半導体装置。

【請求項 2】

前記リング層は複数本、並列に形成されており、それぞれが前記第 2 ベース層と前記ストッパ層とに接続される、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記リング層は、前記第 2 ベース層から前記ストッパ層に向かうに従って、抵抗が低減されている、ことを特徴とする請求項 1 又は請求項 2 のいずれかに記載の半導体装置。

【請求項 4】

前記リング層の一部と電氣的に接続され、前記ストッパ層に印加された電圧を分圧して検知するセンス電極を、さらに備えることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 1 ベース層の主表面における前記リング層の最内周部分には、前記第 2 ベース層の周りを円環状に囲い、前記第 2 ベース層に接続された円環部が形成されており、前記円環部を介して、前記リング層が前記第 2 ベース層に接続されている、ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】

前記リング層のコーナー部分には、前記リング層に電氣的に接続され、前記リング層よりも抵抗の低いコーナー補助部材が形成されているとともに、

前記リング層のコーナー部分を除いた部分である直線部の長さは、内周側であると外周側であるとかかわらず等しい、ことを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の半導体装置。

【請求項 7】

V_{BD} を半導体装置の耐圧電圧とし、 R_{ring} を前記リング層全体の抵抗とした場合に、リーク電流 I_{leak} である V_{BD} / R_{ring} が $1\text{mA} / \text{cm}^2$ 以下になるように設計されている、ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の半導体装置。

【請求項 8】

第 1 導電型のベース層と、
前記ベース層の主表面に選択的に形成された、第 2 導電型のアノード層と、
前記ベース層の主表面上に形成された、表面保護膜と、
前記アノード層を囲むように円環状に前記表面保護膜上に形成された、導電性のフィールドプレートと、
前記表面保護膜中に形成され、前記フィールドプレートと電氣的に接続された補助電極であって、前記ベース層との間に容量を形成する、補助電極と、
を備えることを特徴とする半導体装置。

【請求項 9】

前記フィールドプレートと前記補助電極は、内周側から外周側に向かって、複数個別に設けられている、ことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記補助電極は高融点金属により形成されている、ことを特徴とする請求項 8 又は請求

項 9 に記載の半導体装置。

【請求項 11】

前記補助電極は多結晶シリコンにより形成されている、ことを特徴とする請求項 8 又は請求項 9 に記載の半導体装置。

【請求項 12】

第 1 導電型のベース層と、
前記ベース層の主表面に選択的に形成された、第 2 導電型のアノード層と、
前記ベース層の主表面に、前記アノード層を囲むように円環状に形成された、第 2 導電型のリング層であって、前記アノード層よりも不純物濃度が低いリング層と、
を備えることを特徴とする半導体装置。

【請求項 13】

前記リング層は、内周側から外周側に向かって、複数個別に設けられている、ことを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

最内周部に設けられた前記リング層は、前記アノード層と電気的に接続されている、ことを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

前記ベース層の主表面上に形成された、表面保護膜と、
前記アノード層を囲むように円環状に前記表面保護膜上に形成された、導電性のフィールドプレートと、
前記表面保護膜中に形成され、前記フィールドプレートと電気的に接続された補助電極であって、前記ベース層との間に容量を形成する、補助電極と、
をさらに備えることを特徴とする請求項 12 乃至請求項 14 のいずれかに記載の半導体装置。

【請求項 16】

前記フィールドプレートと前記補助電極は、内周側から外周側に向かって、複数個別に設けられている、ことを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】

前記補助電極は高融点金属により形成されている、ことを特徴とする請求項 15 又は請求項 16 に記載の半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置

【技術分野】

【0001】

本発明は、ダイオード、MOSFET、IGBT、サイリスタ、トランジスタなどの半導体装置の接合終端構造に関する。

【背景技術】

【0002】

図11は、従来の半導体装置の素子構造を電力用の高耐圧ダイオードを例に示した平面図である。この図11における平面図をA-A'線で切った断面図が、図12である。これら図11及び図12から分かるように、この半導体装置は、N型ベース層1と、P型ベース層2と、N型カソード層3と、アノード電極4と、カソード電極5と、P型リング層8と、N型ストッパ層6とを備えて構成されている。また、ストッパ層6の主表面上には、ストッパ電極7が形成されている。このストッパ電極7とアノード電極4との間におけるベース層1の主表面上には、絶縁膜10が形成されている。この絶縁膜10は、リング層8上には形成されておらずに隙間が形成されており、この隙間を埋めるようにリング電極9が形成されている。

【0003】

N型ベース層1と、P型ベース層2と、N型カソード層3と、アノード電極4と、カソード電極5とにより、ダイオード部が構成されており、P型リング層8と、N型ストッパ層6とにより、電界緩和部が構成されている。なお、図11においては、アノード電極4とリング電極9と絶縁膜10とストッパ電極7とを省いた状態の平面図を示している。

【0004】

一方、高耐圧プレーナ型pn接合ダイオードの半導体装置として、図21に示す構造が知られている。この図21に示すように、半導体装置は、N⁻ベース層101と、N⁺カソード層102と、Pアノード層103と、ガードリング104と、フィールドリミッティングリング105と、チャンネルストッパ106と、カソード電極107と、アノード電極108とを備えて構成されている。また、ガードリング104を囲む終端領域110上には絶縁膜111が形成され、またチャンネルストッパ106上には電極109が形成されている。

【0005】

N⁻ベース層101とPアノード層103とで形成されるpn接合が逆バイアスされるようにアノード電極108とカソード電極107との間に電圧を印加すると、このpn接合からカソード電極107に向かって、N⁻ベース層101中に空乏層が広がる。また、ガードリング104からも同時に空乏層が広がるが、空乏層がフィールドリミッティングリング105aに到達すると、フィールドリミッティングリング105aの電位はその時点の電位に固定され、フィールドリミッティングリング105aから空乏層が伸び始める。このように次々とフィールドリミッティングリング105の電位が固定されてフィールドリミッティングリング105から空乏層が伸びるので、ガードリング104のエッジ部に集中する電界が緩和され高い耐圧が得られる。したがって、フィールドリミッティングリング105は耐圧が大きくなるに従って本数を増やす必要がある。

【0006】

N⁻ベース層101とPアノード層103とで形成されるpn接合が逆バイアスされた場合の絶縁膜111の直下の電界は、図22のようになる。図22のハッチングされた部分の面積の和が逆バイアス電圧になる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

図11及び図12に示した半導体装置では、P型リング層8を最適な設計（並べ方）にして高耐圧を得ていたが、この方法では印加電圧が高くなるとP型リング層8の本数も増

加し、最適設計が難しくなるという問題があった。通常、各 P 型リング層 8 の電位は定まっておらず、高電圧が印加された場合、P 型リング層 8 の数や間隔など、電界を均一に分散させるための設計は、高耐圧品になるほど困難であった。例えば、ストッパ電極 7 とカソード電極 5 とに 1000 V が印加され、アノード電極 4 に 0 V が印加される場合、ストッパ電極 7 とアノード電極 4 との間の耐圧を維持するために、P 型リング層 8 でこの 1000 V の電圧を分圧するが、各 P 型リング層 8 の電圧がどの程度になるかは数値的に特定するのは難しく、耐圧設計が極めて困難であった。

【0008】

また、適切に設計できた場合でも、表面の絶縁膜 10 と N 型ベース層 1 との界面に、重金属汚染等に起因する界面準位が生成されると、最適条件から外れてしまうという問題もあった。このため、このような半導体装置は、製造プロセスの外乱に弱いという課題も抱えていた。

【0009】

そこで、本発明は上記課題を解決するためになされたものであり、高い耐圧と信頼性を持ち、設計が容易な半導体装置を提供することを目的とする。

【0010】

一方、図 21 に示した半導体装置においては、図 22 からわかるように、フィールドリミッティングリング 105 自体は空乏化しないため電界がかからず、所定の耐圧を出すためには終端領域の長さ（終端長）が長くなるという問題点があった。すなわち、図 21 の半導体装置では、高耐圧化のためにフィールドリミッティングリング 105 の本数を増やす必要があるため、高耐圧になるにしたがって終端長 L が長くなり、同一のチップ面積であっても実際に電流流路となる P アノード層 103 の面積は小さくなり、通電特性が悪化するという問題点があった。

【0011】

そこで本発明は上記課題を解決するためになされたものであり、終端長が短くても高い耐圧を得られる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記課題を解決するため、本発明に係る半導体装置は、
第 1 導電型の第 1 ベース層と、
前記第 1 ベース層の主表面に選択的に形成された、第 2 導電型の第 2 ベース層と、
前記第 2 ベース層から所定の距離を置いて、前記第 2 ベース層のまわりを囲み、前記第 1 ベース層の主表面に形成された、第 1 導電型のストッパ層と、
前記第 2 ベース層と前記ストッパ層との間で、前記第 1 ベース層の主表面に形成された第 2 導電型のリング層であって、前記第 2 ベース層のまわりに渦巻き状に配置され、且つ、前記第 2 ベース層と前記ストッパ層とに電氣的に接続された、リング層と、
を備えることを特徴とする。

【0013】

本発明に係る半導体装置は、
第 1 導電型のベース層と、
前記ベース層の主表面に選択的に形成された、第 2 導電型のアノード層と、
前記ベース層の主表面上に形成された、表面保護膜と、
前記アノード層を囲むように円環状に前記表面保護膜上に形成された、導電性のフィールドプレートと、
前記表面保護膜中に形成され、前記フィールドプレートと電氣的に接続された補助電極であって、前記ベース層との間に容量を形成する、補助電極と、
を備えることを特徴とする。

【0014】

本発明に係る半導体装置は、
第 1 導電型のベース層と、

前記ベース層の主表面に選択的に形成された、第2導電型のアノード層と、
前記ベース層の主表面に、前記アノード層を囲むように円環状に形成された、第2導電型のリング層であって、前記アノード層よりも不純物濃度が低いリング層と、
を備えることを特徴とする。

【発明の効果】

【0015】

本発明によれば、半導体装置の耐圧と信頼性の向上を容易に達成することができる。また、本発明によれば、終端長が短くても高い耐圧を得られ半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態では、第1導電型をN型、第2導電型をP型として示しているが、その逆の実施形態でも良い。また、図11及び図12に示した半導体装置と対応する部分は同じ記号を用いて詳細な説明は省略する。

【0017】

〔第1実施形態〕

図1は、第1実施形態に係る半導体装置の平面図であり、上述した図11に対応する図である。図2は、図1のB-B'線断面図であり、上述した図12に対応する図である。これら図1及び図2に示した半導体装置が、図11及び図12に示した半導体装置と異なる点は、P型リング層8が、P型ベース層2及びN型ストッパ層6とつながった1本の渦巻き状に形成されている点である。

【0018】

すなわち、図1及び図2に示すように、N型ベース層1の主表面側の外周部には、N型ストッパ層6が形成されている。一方、N型ベース層1の主表面側の中心部には、P型ベース層2が形成されている。N型ベース層1の主表面におけるN型ストッパ層6とP型ベース層2との間には、P型リング層8がP型ベース層の周りに渦巻き状に形成されている。このP型リング層8の一端は、接続部C1でN型ストッパ層6に電氣的に接続されており、P型リング層9の他端は、接続部C2でP型ベース層2に電氣的に接続されている。

【0019】

これら図1及び図2に示した半導体装置においては、N型ストッパ層6に高電圧が印加されると、P型リング層8に拡散抵抗に応じた電流が流れる。例えば、N型ストッパ層6に1000Vが印加され、P型ベース層2に0Vが印加されると、この1000Vの電位差に基づいて、P型リング層8に電流が流れる。このため、P型ベース層2からN型ストッパ層6に向かうに従って、P型リング層8の電位が高くなる。つまり、一周分のP型リング層8の拡散抵抗を調整することで、隣接するP型リング層8との電位差を固定することが可能になり、電界分布を均等に分散させることができるようになる。よって、界面準位が生成されることによる外乱の影響を受けないようにすることができる。

【0020】

また、P型リング層8の拡散抵抗には温度依存性がある。このため、高温になると、格子散乱による移動度が低下し、抵抗が大きくなり、P型リング層8を流れる電流であるリーク電流が低減する。したがって、従来は問題となっていたリーク電流による熱暴走破壊の問題を解決することができる。

【0021】

なお、P型リング層8全体の抵抗値は、このP型リング層8をN型ストッパ層6からP型ベース層2に流れるリーク電流 I_{leak} による熱の発生と、この発生した熱による熱暴走を防止する観点とから、次のような関係を満たす必要があると考えられる。

【0022】

$$V_{BD} / R_{\text{ring}} \leq I_{\text{leak}} = 1 \text{ (mA/cm}^2\text{)} \quad \cdots (1)$$

ここで、 V_{BD} は、この半導体装置の耐圧電圧 (V) を示しており、 R_{ring} はPリ

ング層 8 全体の抵抗値 (R) を示している。そして、この P リング層 8 を流れるリーク電流 I_{leak} が素子面積 1 cm^2 当たり 1 mA 以下になるように設計すれば、熱暴走を回避できると考えられる。

【0023】

〔第 2 実施形態〕

図 3 は、第 2 実施形態に係る半導体装置の平面図であり、第 1 実施形態における図 1 に対応する図である。図 1 では、1 本の P 型リング層 8 を引き回す構造となっていたが、平面的に見た場合、パターン上、対称性に欠けており、不均一な配置領域で電界が集中する可能性がある。そこで、本実施形態においては、図 3 に示すように、2 本の P 型リング層 8 a、8 b を並列に配置し、平面状の不均一を解決している。

【0024】

すなわち、第 1 の P 型リング層 8 a の一端は、接続部 C 1 で N 型ストッパ層 6 に接続しており、第 1 の P 型リング層 8 a の他端は、接続部 C 2 で P 型ベース層 2 に接続している。第 2 の P 型リング層 8 b の一端は、接続部 C 3 で N 型ストッパ層 6 に接続しており、第 2 の P 型リング層 8 b の他端は、接続部 C 4 で P 型ベース層 2 に接続している。

【0025】

図 4 は、第 2 実施形態の変形例を示す図である。この図 4 から分かるように、図 4 の例では、4 本の P 型リング層 8 a ~ 8 d を並列に渦巻き状に形成することにより、電界の集中を防止している。このように複数本の P 型リング層 8 を形成すれば、平面的な対称性を得ることができ、電界の不均衡を解消することができる。

【0026】

〔第 3 実施形態〕

図 5 は、第 3 実施形態に係る半導体装置の断面図であり、第 1 実施形態における図 2 に対応する図である。上述した第 1 実施形態においては、電界を均一に分散させるために、P 型リング層 8 の拡散抵抗を調整することを述べたが、このためには、隣り合う P 型リング層 8 の電位差が等しい必要がある。ところが、P 型リング層 8 を渦巻き状に配置すると、外周側 (N 型ストッパ層 6 側) に近づくほど配線長が長くなるため、P 型リング層 8 の拡散抵抗が増えてしまい、電位差が大きくなってしまう。

【0027】

そこで、本実施形態においては第 1 実施形態の半導体装置を変形して、図 5 に示すように、P 型アノード層 2 から N 型ストッパ層 6 に向かうに従って、P 型リング層 8 の幅を次第に広くして、拡散抵抗を小さくするようにしている。すなわち、図 5 においては、幅 $W1 < W2 < W3 < W4$ の関係になっている。このようにすれば、隣接する P 型リング層 8 同士の電位差を揃えて、内側から外側に向かって、均一な電界分布を得ることができる。

【0028】

〔第 4 実施形態〕

図 6 は、第 4 実施形態に係る半導体装置の断面図であり、第 1 実施形態における図 2 に対応する図である。但し、本実施形態は、上述した第 1 実施形態乃至第 3 実施形態、並びに、後述する第 5 実施形態及び第 6 実施形態のいずれに対しても適用することができる。

【0029】

この図 6 に示すように、本実施形態に係る半導体装置においては、内側にある P 型リング層 8 の一つに、センス電極 11 を接続して、過電圧が印加された場合の保護機能に使用できるようにした。これは、P 型リング層 8 の電位が固定されており、内側の P 型リング層 8 が、N 型ストッパ層 6 にかかる高電圧を分圧する働きを利用している。このようにセンス電極 11 を設けることにより、N 型ストッパ層 6 と P 型アノード層 2 との間の電圧を分圧して、低電圧出力で、簡単にモニターすることができるようになる。

【0030】

例えば、P 型アノード層 2 までの長さ L_1 と N 型ストッパ層 6 までの長さ L_2 が $1:1000$ になる P 型リング層 8 の位置に、このセンス電極 11 を設けて、このセンス電極 11 から

1 Vの電圧が検知された場合には、N型ストッパ層6には1000 Vが印加されていると推定することができる。

【0031】

〔第5実施形態〕

図7は、第4実施形態に係る半導体装置の平面図であり、第1実施形態における図1に対応する図である。図8は、図7のC-C'線における部分的な断面図であり、図9は、図7のD-D'線における部分的な断面図である。なお、これら図7乃至図9では、本実施形態を第1実施形態に適用した例を示しているが、他の実施形態に対しても同様に適用することができる。

【0032】

図7に示すように、本実施形態に係る半導体装置においては、P型リング層8の最内周部は1つの円環状に形成されて、円環部20を構成している。すなわち、円環部20は、P型ベース層2の周囲を囲うように形成されており、この円環部20が、4カ所の接続部21を介して、P型ベース層2に接続している。

【0033】

より詳しくは、図8及び図9に示すように、4カ所の円環部20の上側には電極22が形成されている。この電極22は接続電極23を介して、アノード電極4に接続されており、この結果、円環部20がP型ベース層2に電氣的に接続される。このことから分かるように、本実施形態においては、電極22と接続電極23とにより、接続部21が構成されている。また、図7に示すように、円環部20は、その一部でP型リング層8と接続されている。

【0034】

なお、本実施形態においては、例えば、アノード電極4と電極22とは、同じアルミニウムにより形成されている。また、絶縁膜10は、シリコン酸化膜により形成されており、接続電極23は不純物をドーピングしたポリシリコンにより形成されている。

【0035】

このように最内周部に円環部20を設けることにすれば、最も電界が大きくなる最内周部の電界を緩和することができる。

【0036】

〔第6実施形態〕

図10は、第4実施形態に係る半導体装置の平面図であり、第1実施形態における図1に対応する図である。なお、この図10では、本実施形態を第1実施形態に適用した例を示しているが、他の実施形態に対しても同様に適用することができる。

【0037】

この図10から分かるように、本実施形態の半導体装置は、上述した第1実施形態を変形して、P型リング層8の直線部分の長さを、内周側であると外周側であるとかかわらず同じになるようにしている。この図10の例では、P型リング層8の直線部分の長さが、L1で揃うようにしている。そして、コーナー部分では、P型リング層8の上に、P型リング層8よりも抵抗の低いコーナー補助部材として、メタル層30を形成し、低抵抗化を図っている。

【0038】

このようにすると、コーナー部分では電流は、P型リング層8よりも遙かに抵抗の少ないメタル層30を流れるようになる。このため、N型ストッパ層6からベース層2に向かって電流が流れる場合における内周側と外周側の抵抗を同じようにすることができ、設計の容易化を図ることができる。換言すれば、内周側であると外周側であるとかかわらず、P型リング層8の直線部分の長さが等しくなるため抵抗値が同じになり、コーナー部分では抵抗の低いメタル層30が設けられているため抵抗を実質的に無視することができるのである。

【0039】

なお、上記第1乃至第6実施形態では、すべて正方形の半導体装置を用いて本発明を説

明したが、長方形や円形などの半導体装置に本発明を適用することもできる。また、P型リング層8を時計回りに4回程度巻く図を用いたが、巻く向きは逆でも良く、巻く回数に関しても1回以上何回でも良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0040】

〔第7実施形態〕

図13は、第7実施形態にかかる半導体装置の要部断面図である。この図13に示すように、この半導体装置は、N⁻ベース層201と、N⁺カソード層202と、Pアノード層203と、ガードリング204と、導電性のフィールドプレート205と、チャンネルストッパ206と、カソード電極207と、アノード電極208とを備えて構成されている。また、ガードリング204を囲む終端領域210上には絶縁膜211が形成され、またチャンネルストッパ206上には電極209が形成されている。さらに、フィールドプレート205には、電極213が電氣的に接続されている。この電極213が、本実施形態における補助電極を構成している。

【0041】

N⁻ベース層201とPアノード層203とで形成されるpn接合に逆バイアスが印加されるようにアノード電極208とカソード電極207との間に電圧を印加すると、ガードリング204から空乏層が広がるが、空乏層がフィールドプレート205aの直下に到達すると、電極213aと絶縁膜211とN⁻ベース層201で形成される容量が充電され、電極213とフィールドプレート205aの電位が固定される。

【0042】

フィールドプレート205a自体は、絶縁膜211上に形成されているので、電極213が形成されていない部分のN⁻ベース層201中の電界は緩和される。このように次々と電極213とフィールドプレート205の電位が固定されて、フィールドプレート下の電界が緩和されるので、ガードリング204のエッジ部に集中する電界が緩和され高い耐圧が得られる。

【0043】

また、フィールドプレート205は205a、205b、205cと分割されているので、絶縁膜211とN⁻ベース層201界面に固定電荷が生じた場合や、半導体装置外部の電荷の影響を受けた場合でも、電界強度が最大となる場所が移動するだけで、電界強度の最大値は変化しないので、信頼性が向上する。

【0044】

なお、フィールドプレート205と電極213の本数は半導体装置の耐圧によって決まり、耐圧が大きくなるにつれてフィールドプレート205と電極213の個数を増やす必要がある。また、図示はしていないが、外部環境の影響を受けにくくするために、フィールドプレート205は通常絶縁膜で覆われる。この絶縁膜はシリコン酸化膜、シリコン窒化膜等のガラスや種々のセラミックス、ポリイミド等の有機絶縁膜で構成される。

【0045】

また、本実施形態に係る半導体装置の平面図は、図14に示すようになる。すなわち、フィールドプレート205a、205b、205cは、それぞれ、アノード電極208の周囲に、このアノード電極208を囲うように円環状に形成されている。

【0046】

N⁻ベース層201とPアノード層203とで形成されるpn接合が逆バイアスされた場合の絶縁膜11の直下の電界は、図15のようになる。図22の場合と異なり、フィールドリミッティングリング105のように空乏化しない部分はなく、電界が0になる部分がないため、図21に示した半導体装置よりも最高電界は小さくなる。また、所定の耐圧を出すのに必要な終端長Lは短くすることが出来る。

【0047】

なお、電極213は絶縁膜211中に形成されているので、電極213形成後に900℃以上の高温の熱処理が行われる可能性がある。そのため、電極213は高温の熱処理に

耐えるようなポリシリコンやMo, Ta, Wのような高融点金属で形成される。また、電極213の厚さ t_1 を100nm~500nm程度に形成することによって電極213の幅を小さく(1 μ m~5 μ m)形成することができる。フィールドプレート205の電位固定部分213の幅が小さいほど電界が低い部分の長さが小さくなるので、終端効率を向上させることが出来る。

【0048】

なお、フィールドプレート205間の距離はガードリング204からチャネルストッパー206に向かうにつれて広がる。

【0049】

また、図示しないが、アノード電極208に最も近いフィールドプレート205aはアノード電極208と接続されていても良い。このように構成すると、電界が高くなりやすいガードリング204とN⁻ベース層201との接合部分の電界を効果的に緩和させることが出来る。

【0050】

〔第8実施形態〕

図16は、第8実施形態に係る半導体装置(ダイオード)を示す図である。図16に示すように、この半導体装置は、N⁻ベース層201と、N⁺カソード層202と、Pアノード層203と、ガードリング204と、チャネルストッパ206と、カソード電極207と、アノード電極208とを備えて構成されている。また、ガードリング204を囲む終端領域210上には絶縁膜211が形成され、またチャネルストッパ206上には電極209が形成されている。さらに、ガードリング204とチャネルストッパ206との間におけるN⁻ベース層201主表面側には、P⁻リング層214(214a、214b、214c)が形成されている。これらP⁻リング層214a、214b、214cは、Pアノード層230の周囲を囲むように円環状に形成されている。

【0051】

N⁻ベース層201とPアノード層203とで形成されるpn接合が逆バイアスされるようにアノード電極とカソード電極との間に電圧を印加すると、ガードリング204から空乏層が広がる。空乏層がP⁻リング層214aに到達すると、P⁻リング層214aは空乏化をはじめ。このとき、空乏化したP⁻リング層214aからプラス電荷がN⁻ベース層201に供給されるので、P⁻リング層214a近傍の電界が緩和される。このように次々とP⁻リング層214が全体的に空乏化してP⁻リング層214近傍の電界が緩和されるので、ガードリング204のエッジ部に集中する電界が緩和され高い耐圧が得られる。なお、P⁻リング層214の本数は半導体装置の耐圧によって決まり、耐圧が大きくなるにつれてP⁻リング層214の個数を増やす必要がある。

【0052】

N⁻ベース層201とPアノード層203とで形成されるpn接合が逆バイアスされた場合の絶縁膜211の直下の電界は図17のようになる。図22の場合と異なり、フィールドリミッティングリング105のように空乏化しない部分はなく、電界が0になる部分がないため、図21の半導体装置よりも最高電界は小さくなる。また、所定の耐圧を出すのに必要な終端長Lを短くすることができる。

【0053】

また、P⁻リング層214は214a、214b、214cと分割されているので、絶縁膜211とN⁻ベース層201との界面に固定電荷が生じた場合や、半導体装置外部の電荷の影響を受けた場合に、電界強度が最大となる場所が移動するだけで、電界強度の最大値は変化しないので、信頼性が向上する。

【0054】

なお、P⁻リング層214間の距離はガードリング204からチャネルストッパー206に向かうにつれて広がる。

【0055】

また、図18に示すように、アノード電極208に最も近いP⁻リング層214aはア

ノード電極 208 と接続されていても良い。換言すれば、最内周部の P⁻ リング層 214 a は、アノード層 203 と電氣的に接続されていてもよい。このように構成すると、電界が高くなりやすいガードリング 204 と N⁻ ベース層 201 との接合部分の電界を効果的に緩和させることが出来る。

【0056】

さらに、本実施形態における P⁻ リング層 214 が全体的に空乏化するための条件について考察すると、次のようになる。

【数 1】

$$\frac{\epsilon E_{crit}}{q} \times 1.5 \frac{L}{W_p} > Q_p \quad \dots(2)$$

ここで、 ϵ は半導体の誘電率であり、シリコンでは $1.04 \times 10^{-14} \text{ F/cm}$ である。 E_{crit} は半導体の絶縁破壊電界であり、シリコンではおよそ $2 \times 10^5 \text{ V/cm}$ である。 q は電荷素量である。 L は終端長であり、例えば $1200 \mu\text{m}$ である。 W_p は N⁻ ベース層 201 の厚さであり、例えば $450 \mu\text{m}$ である。 Q_p は P⁻ リング層 214 の不純物量である。さらに、P⁻ リング層 214 の深さは、 $5 \mu\text{m}$ 以上であることがのぞましい。

【0057】

〔第 9 実施形態〕

図 19 は、第 9 実施形態に係る半導体装置（ダイオード）を示す図である。この図 19 に示すように、この半導体装置は、N⁻ ベース層 201 と、N⁺ カソード層 202 と、P アノード層 203 と、ガードリング 204 と、フィールドプレート 205 と、チャンネルストッパ 206 と、カソード電極 207 と、アノード電極 208 とを備えて構成されている。また、ガードリング 104 を囲む終端領域 210 上には絶縁膜 211 が形成され、またチャンネルストッパ 206 上には電極 209 が形成されている。フィールドプレート 205 には、電極 213 が接続されている。さらに、ガードリング 204 とチャンネルストッパ 206 との間における N⁻ ベース層 201 主表面側には、P⁻ リング層 214 (214 a、214 b、214 c) が形成されている。これら P⁻ リング層 214 a、214 b、214 c は、P アノード層 203 の周囲を囲むように円環状に形成されている。

【0058】

この構成から分かるように、本実施の形態は第 7 実施形態と第 8 実施形態を組み合わせたものである。このように構成することによって、電界の緩和をより促進し、信頼性を向上させることが出来る。

【0059】

なお、図 19 ではフィールドプレート 205 を P⁻ リング層 214 の上部に形成するようにしたが、フィールドプレート 205 及び P⁻ リング層 214 の配置はこの形態に限定されず、電界を緩和させるように種々に変更することができる。また、図 20 に示すように、アノード電極 208 に最も近い P⁻ リング層 214 a はアノード電極 208 と接続されていても良い。換言すれば、最内周部の P⁻ リング層 214 a は、アノード層 203 と電氣的に接続されてもよい。このように構成すると、電界が高くなりやすいガードリング 204 と N⁻ ベース層 201 との接合部分の電界を効果的に緩和させることが出来る。

【0060】

なお、上記第 7 乃至第 9 実施形態では、絶縁膜 211 を絶縁性の膜で形成したが、S I P O S 等の半絶縁性の膜で形成するようにしてもよい。つまり、N⁻ ベース層 201 の主表面上に形成された表面保護膜は、絶縁性の膜で形成しても良いし、半絶縁性の膜で形成しても良い。

【0061】

以上の実施形態では、ダイオードについて説明したが、本発明は同様の p n 接合構造を

含むバイポーラトランジスタ、MOSトランジスタ、サイリスタ、IGBT等の各種プレーナ型の半導体装置に適用することができる。

【0062】

その他、本発明は上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに上記各実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。

【図面の簡単な説明】

【0063】

- 【図1】 第1実施形態に係る半導体装置の平面図である。
- 【図2】 図1の半導体装置におけるB-B'線断面図である。
- 【図3】 第2実施形態に係る半導体装置の平面図である。
- 【図4】 第2実施形態に係る半導体装置の変形例を示す平面図である。
- 【図5】 第3実施形態に係る半導体装置の断面図である。
- 【図6】 第4実施形態に係る半導体装置の断面図である。
- 【図7】 第5実施形態に係る半導体装置の平面図である。
- 【図8】 図7の半導体装置におけるC-C'線断面図である。
- 【図9】 図7の半導体装置におけるD-D'線断面図である。
- 【図10】 第6実施形態に係る半導体装置の平面図である。
- 【図11】 従来の半導体装置の平面図である。
- 【図12】 図11の半導体装置におけるA-A'線断面図である。
- 【図13】 第7実施形態に係る半導体装置の断面図である。
- 【図14】 図13の半導体装置の平面図である。
- 【図15】 図13の半導体装置における絶縁膜の直下の電界分布を示す図である。
- 【図16】 第8実施形態に係る半導体装置の断面図である。
- 【図17】 図16の半導体装置における絶縁膜の直下の電界分布を示す図である。
- 【図18】 第8実施形態に係る半導体装置の変形例を示す図である。
- 【図19】 第9実施形態に係る半導体装置の断面図である。
- 【図20】 第9実施形態に係る半導体装置の変形例を示す図である。
- 【図21】 従来の半導体装置の断面図である。
- 【図22】 図21の半導体装置における絶縁膜の直下の電界分布を示す図である。

【符号の説明】

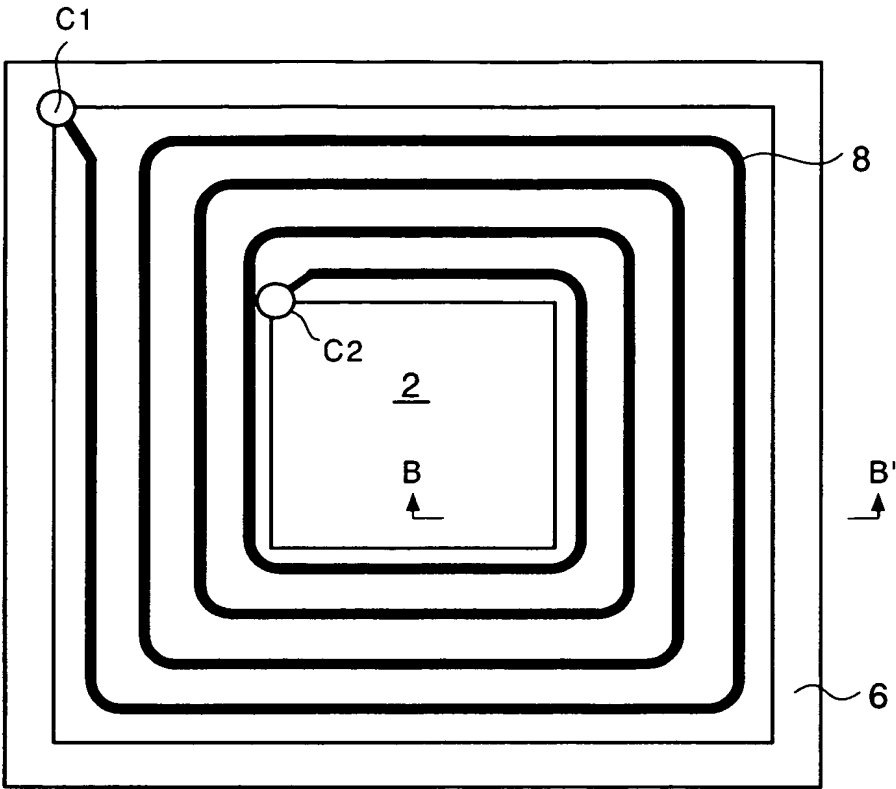
【0064】

- 1 N型ベース層
- 2 P型アノード層
- 3 N型カソード層
- 4 アノード電極
- 5 カソード電極
- 8 P型リング層
- 9 リング電極
- 10 絶縁膜
- 201 N⁻ベース層
- 202 N⁺カソード層
- 203 Pアノード層
- 204 ガードリング
- 205 フィールドプレート
- 206 チャネルストッパ
- 207 カソード電極
- 208 アノード電極
- 209 電極

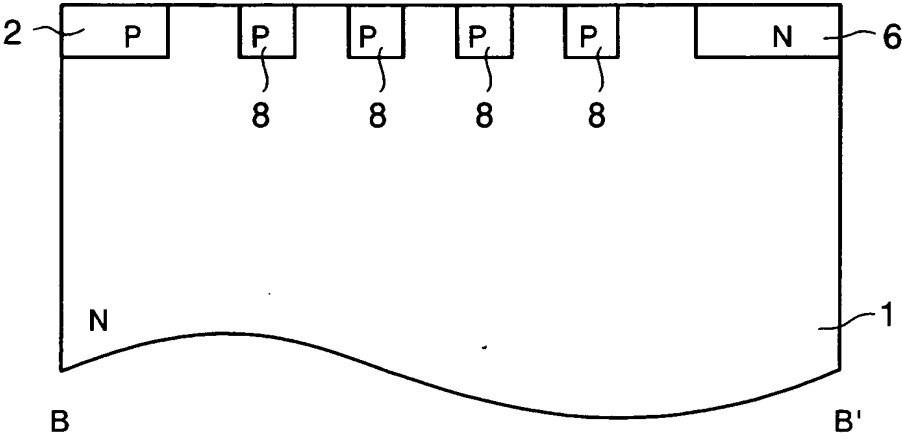
2 1 1 絶縁膜

2 1 3 電極

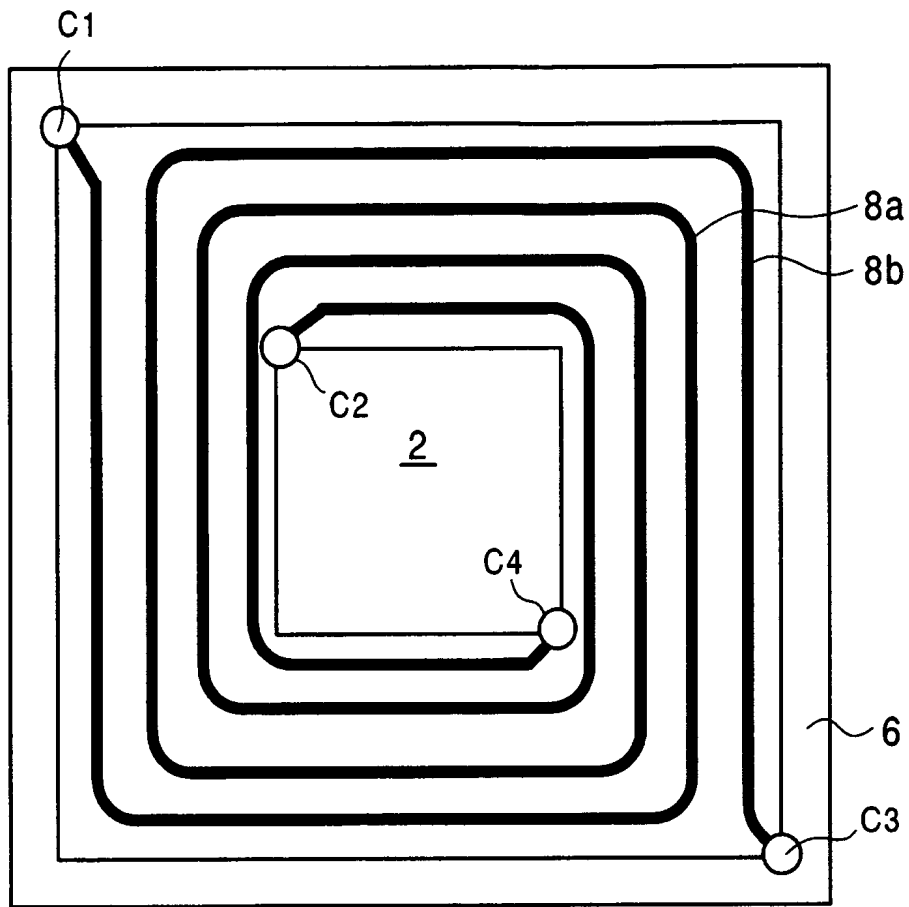
【書類名】 図面
【図 1】



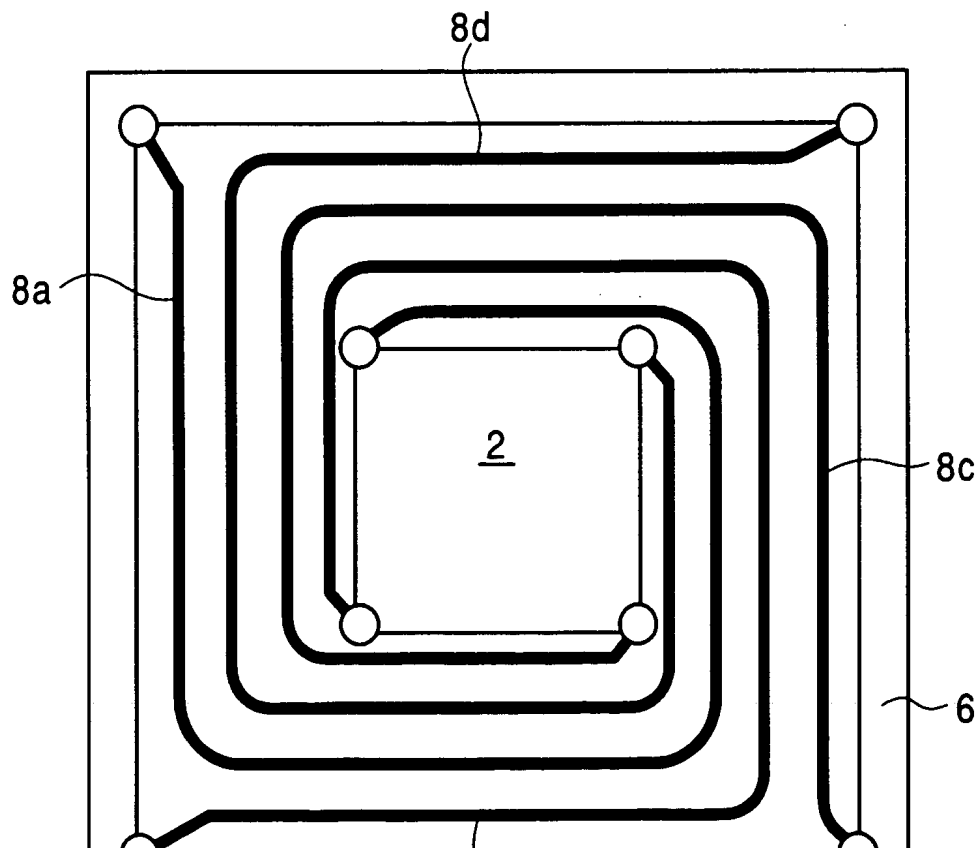
【図 2】



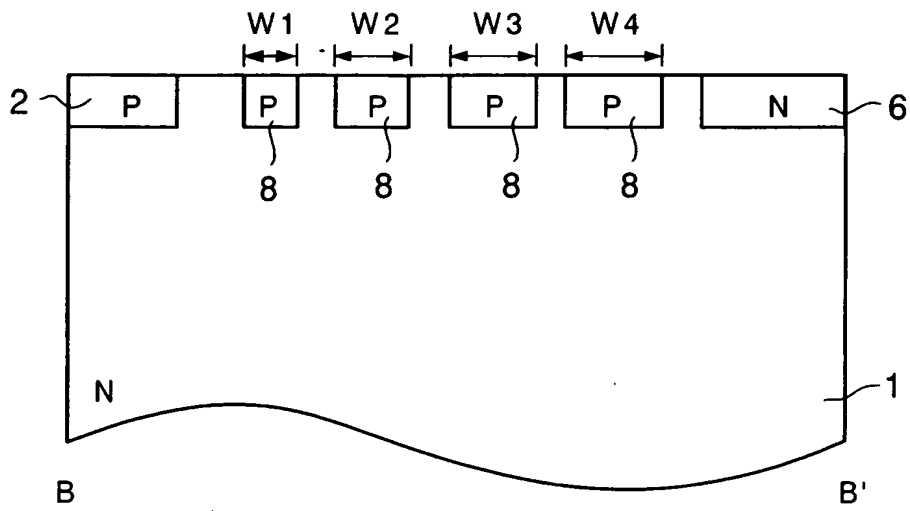
【図 3】



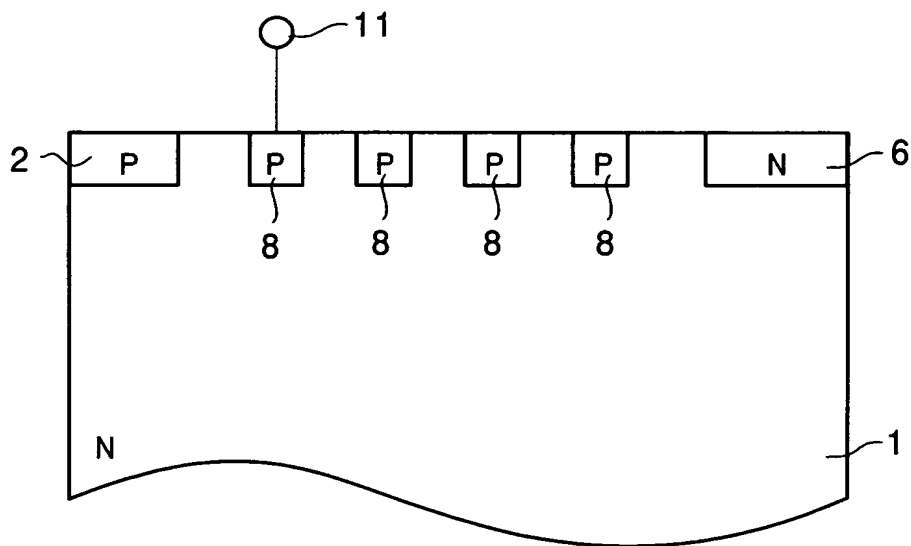
【図 4】



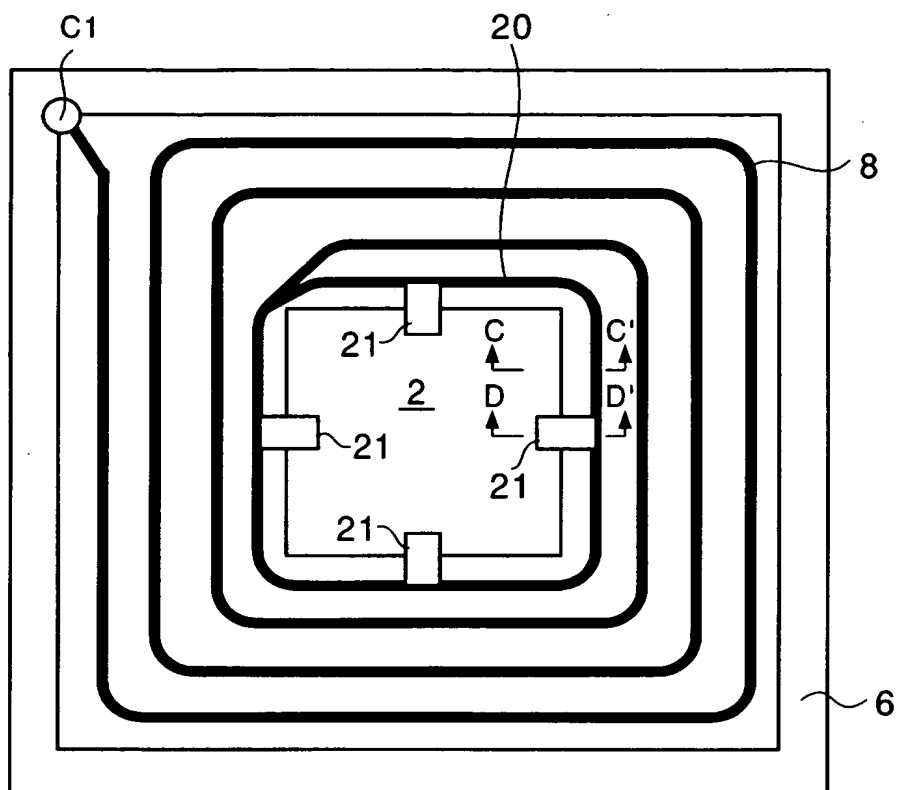
【図 5】



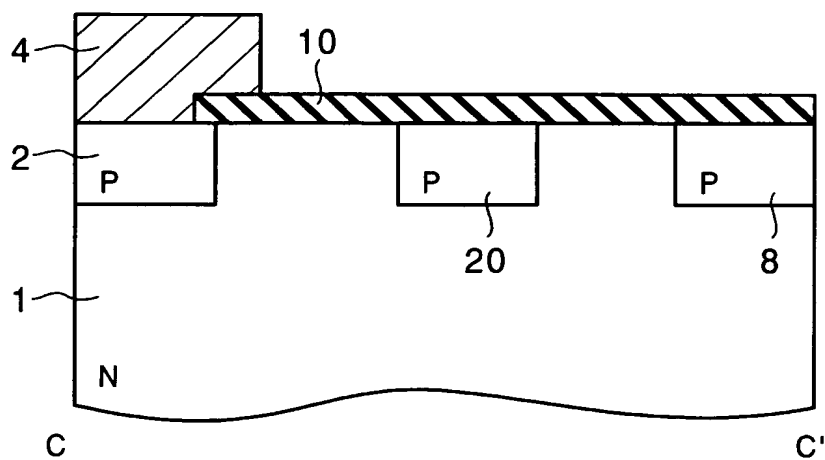
【図 6】



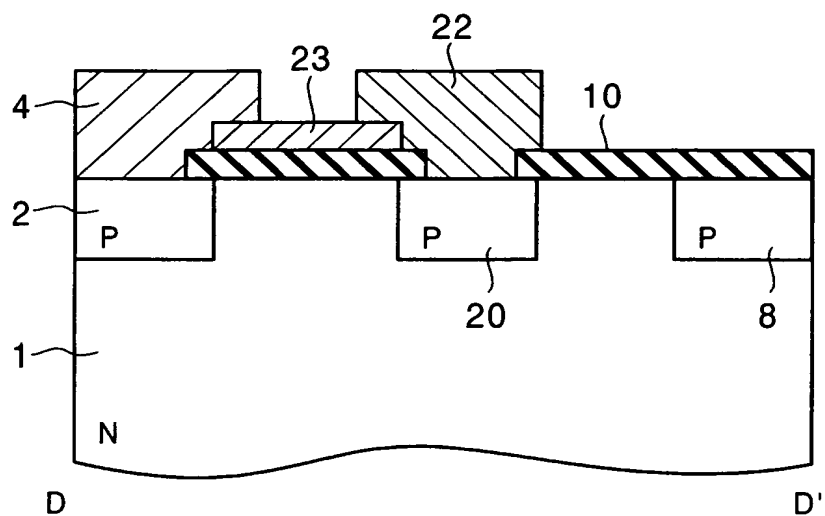
【図 7】



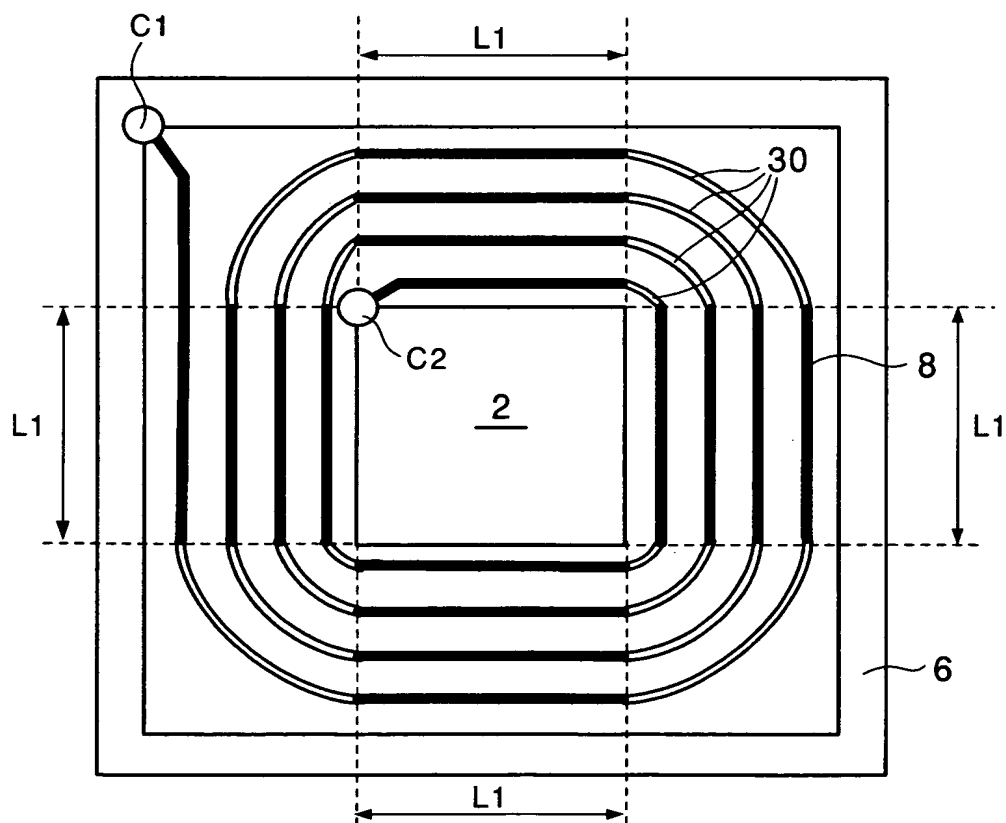
【図 8】



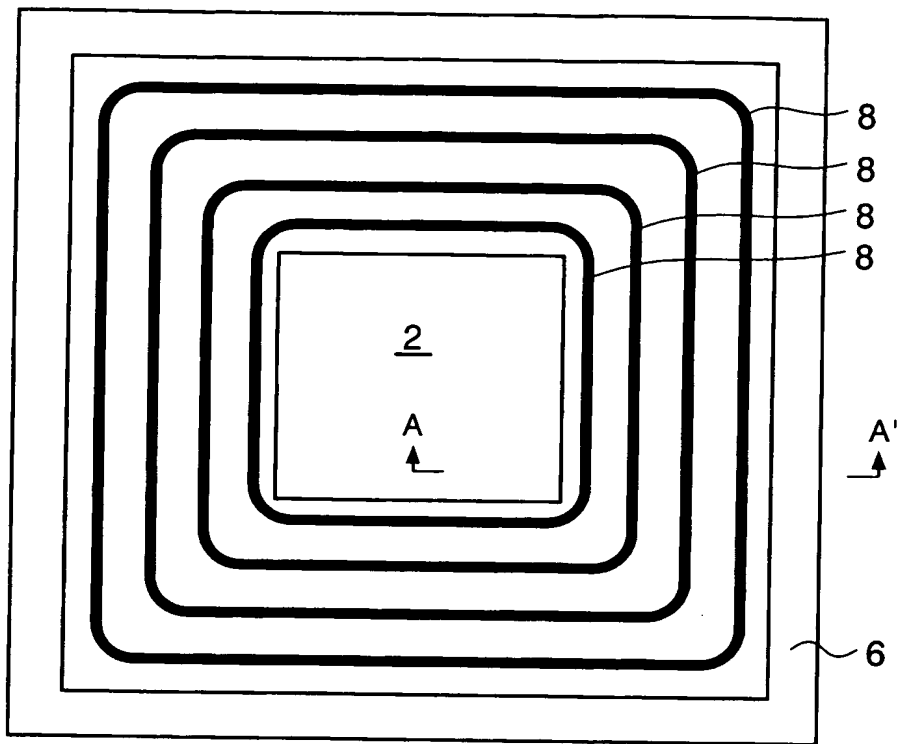
【図 9】



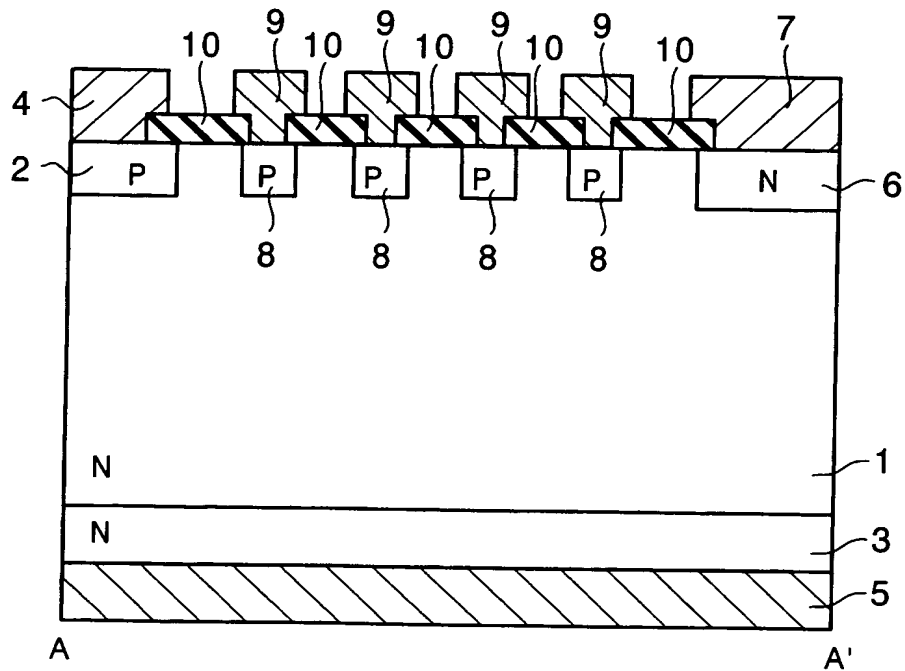
【図 10】



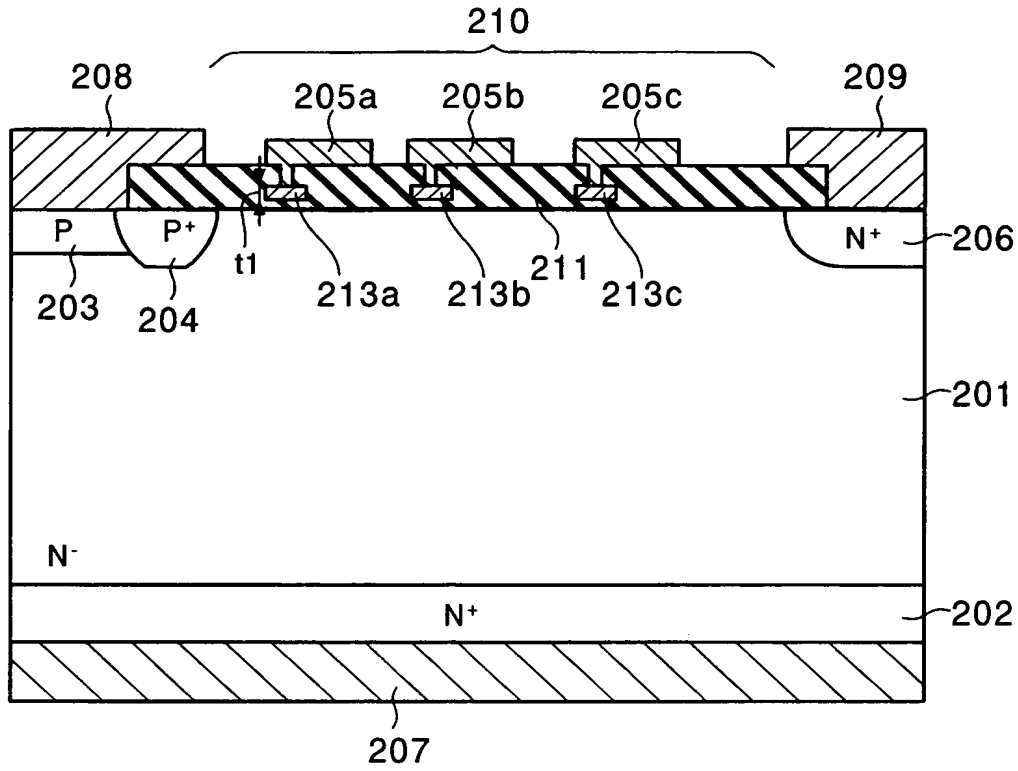
【図 1 1】



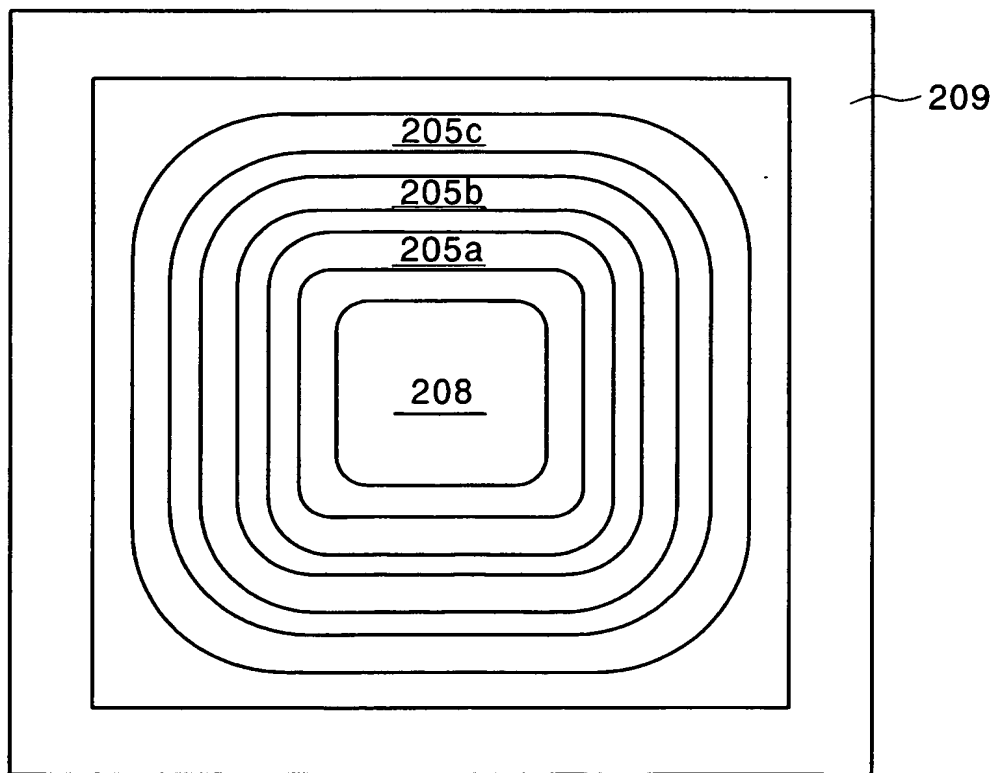
【図 1 2】



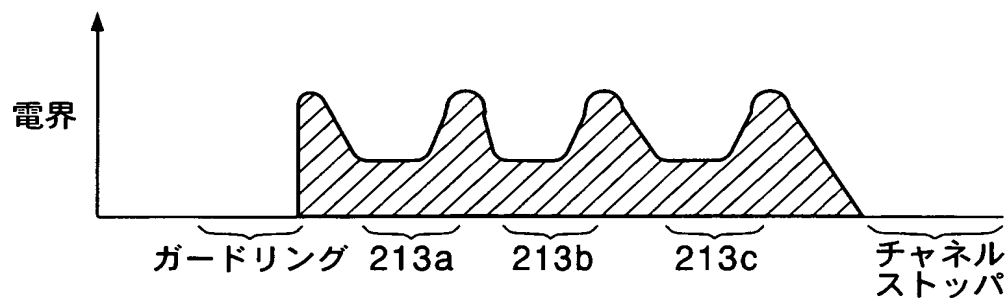
【図 13】



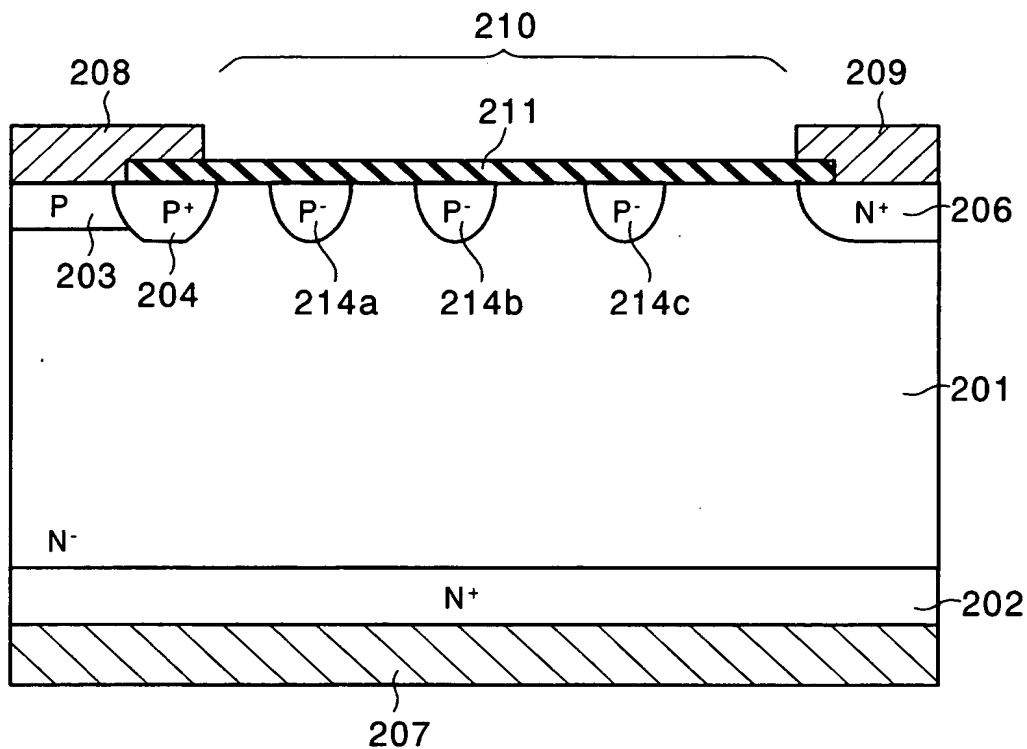
【図 14】



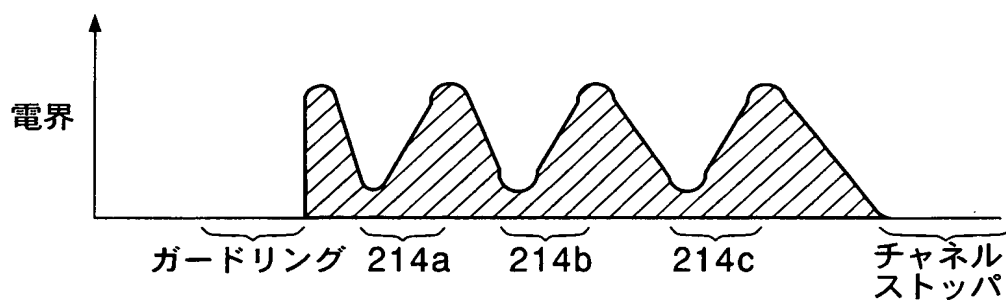
【図 15】



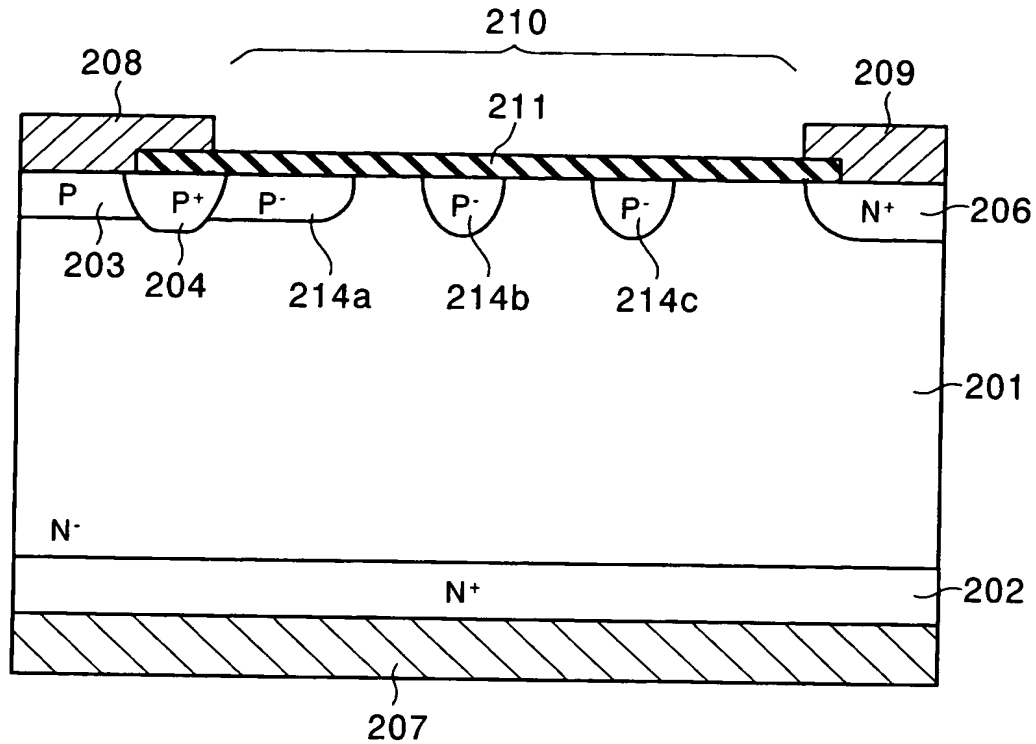
【図 16】



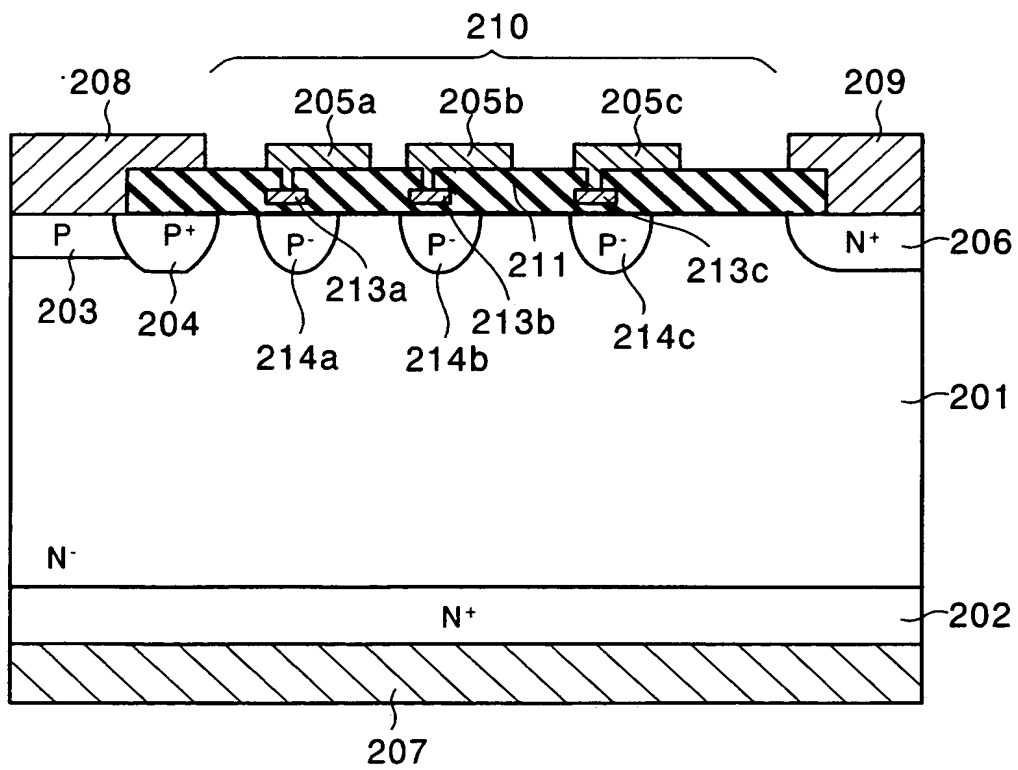
【図 17】



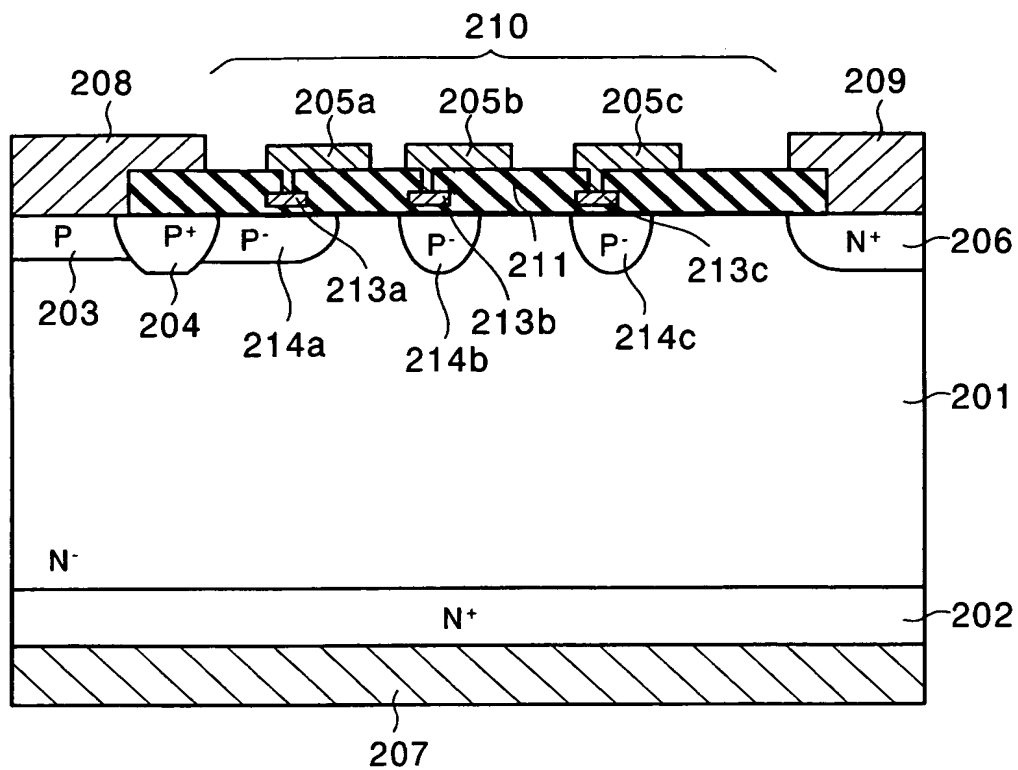
【図 18】



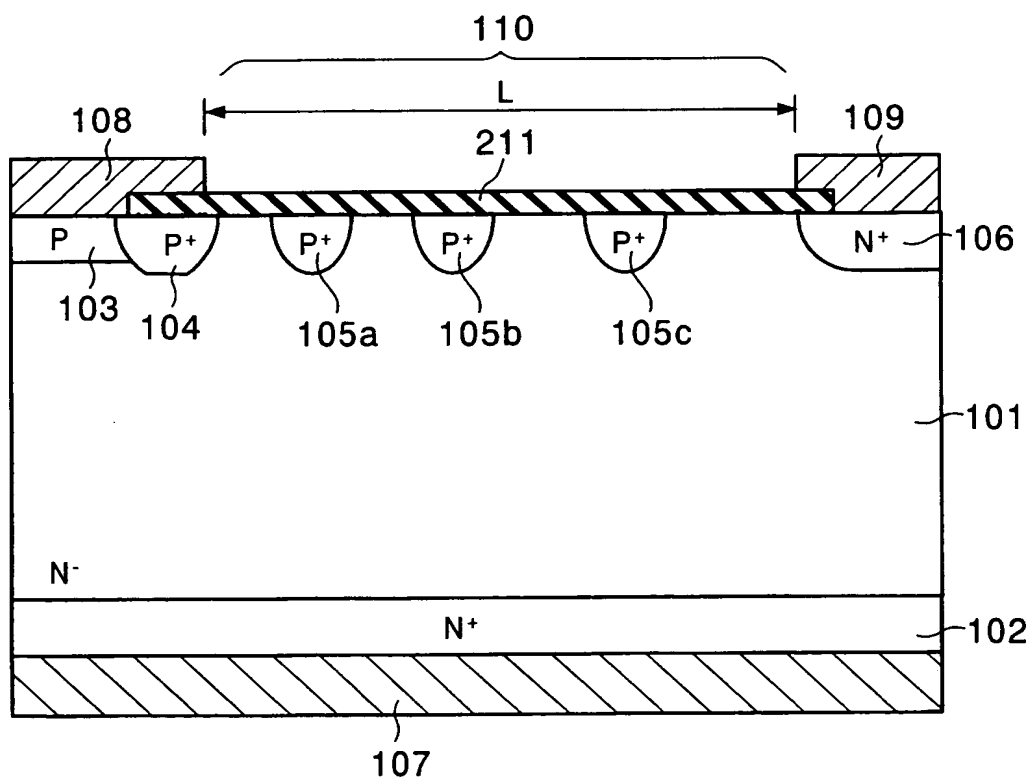
【図 19】



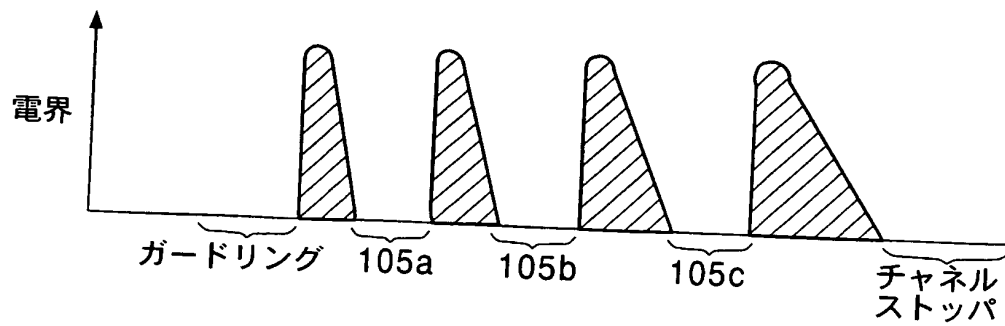
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 半導体装置の耐圧と信頼性の向上を容易に達成する。

【解決手段】 本実施形態に係る半導体装置は、第1導電型の第1ベース層1と、第1ベース層の主表面に選択的に形成された、第2導電型の第2ベース層2と、第2ベース層から所定の距離を置いて、第2ベース層のまわりを囲み、第1ベース層の主表面に形成された、第1導電型のストッパ層6と、第2ベース層と前記ストッパ層との間で、第1ベース層の主表面に形成された第2導電型のリング層であって、第2ベース層のまわりに渦巻き状に配置され、且つ、第2ベース層と前記ストッパ層とに電氣的に接続された、リング層8とを備えている。

【選択図】 図1

特願 2 0 0 3 - 3 2 2 0 1 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝